

PATENT ABSTRACTS OF JAPAN

(11)

(11)Publication number : 02-296322

(43)Date of publication of application : 06.12.1990

(51)Int.Cl.

H01L 21/28
H01L 21/3205
H01L 33/00
H01S 3/18

(21)Application number : 01-116119

(71)Applicant : NEC CORP

(22)Date of filing : 11.05.1989

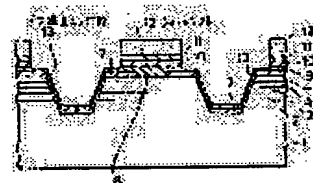
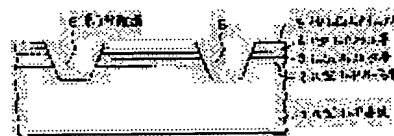
(72)Inventor : ISODA YOICHI

(54) ELECTRODE FORMING METHOD FOR SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To prevent imperfect insulation at a mesa structure edge part by performing ion source supply by using mixed gas of argon and oxygen at the time of ion milling of a metal film.

CONSTITUTION: After an InGaAsP active layer 3 and a P-type InGaAsP cap layer 5 are continuously grown on an N-type InP substrate 1, necessary element isolation trenches 6 are formed. An insulating layer 7 composed of SiO₂ and the like for current constriction is attached, and sequentially metal films are attached in the order of a Ti film 9, a Pt film 10, and an Au film 11. In order to eliminate the metal films in the element isolation trenches, ion milling is performed by using a photoresist 12 as a mask. In this case, argon gas only is used for milling the Au film 11 and the Pt film 10 on the upper side, and mixed gas of argon and oxygen is used for milling the Ti film 9. By performing ion milling in this manner by using the mixed gas of argon and oxygen, the milling rate of metal like Ti is remarkably restrained, and its elimination and the imperfect coverage of the lower layer insulating film can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-296322

⑪ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)12月6日

H 01 L 21/28
21/3205
33/00
H 01 S 3/18

3 0 1 H

7738-5F

E

7733-5F

7377-5F

6810-5F

H 01 L 21/88

C

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体素子の電極形成方法

⑮ 特 願 平1-116119

⑯ 出 願 平1(1989)5月11日

⑰ 発 明 者 磯 田 陽 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体素子の電極形成方法

2. 特許請求の範囲

1. 半導体基板に形成した半導体素子のメサ構造エッジ部を含む半導体基板の表面に絶縁膜を形成する工程と、この絶縁膜の上にTi, Mo, Cr, Ta或いはWのいずれか1つを含む第1の金属膜を形成する工程と、この上に第1の金属膜と異なる1以上の上層金属膜を形成する工程と、これら金属膜上に選択マスクを形成して前記上層金属膜及び第1の金属膜を順次イオンミリング法により選択エッチングする工程とを含み、少なくとも前記第1の金属膜のイオンミリングに際しては、アルゴンと酸素との混合ガスを用いてイオン源供給を行うことを特徴とする半導体素子の電極形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体素子の電極の形成方法に関し、

特に半導体素子の製造工程途中でメサ構造エッジ部が形成される半導体素子に用いて好適な電極の形成方法に関する。

(従来の技術)

従来、発光ダイオード、半導体レーザ、電界効果トランジスタ等の半導体素子用の電極の材料として、耐熱性に優れたTi, Pt, Auの3層からなる電極構造が用いられている。例えば、第3図に、InPを基板とする発光ダイオードのオーミック電極にTi, Pt, Auの3層構造を採用した例を示す。

先ず、第3図(a)のように、n型InP基板1上にエピタキシャル成長法によりn型InPバッファ層2、InGaAsP活性層3、P型InPクラッド層4、P型InGaAsPキャップ層5を連続的に成長した後、フォトリソグラフィによりレジストをマスクとしてエッチングを行い、ウェハプロセス終了後のベレクタイズ工程を容易にするために必要な素子分離溝6を形成する。

次に、第3図(b)のように、CVD法等によ

り、電流狭窄用の SiO_2 等よりなる絶縁膜7を付着せしめてから、フォトリソグラフィにより電流注入用の開口部8を設け、続いてスパッタリング法等によりTi膜9、Pt膜10、及びAu膜11の順に金属膜を付着させた後、熱処理し、電流注入用の開口部8においてオーミックコンタクトを取る。

次に、第3図(c)のように、素子分離溝6内の金属除去のために、フォトレジスト12をマスクとしてイオンミリングを行い、Au膜11、Pt膜10及びTi膜9の一部を除去する。

続いて、第3図(d)のように、フォトレジスト12を除去した後、アンモニア、過酸化水素及び水よりなるエッチャントを用いてTi膜9のみを除去し、Ti/Pt/AuよりなるP側オーミック電極の形成工程が終了する。

〔発明が解決しようとする課題〕

上述した従来の電極形成方法においては、メサ構造エッジ部13における絶縁膜7、Ti膜9、Pt膜10及びAu膜11の膜厚が平坦部に比べ

て小さくなっているために、第3図(c)のイオンミリング工程において、ミリング過剰を生じ易く、その結果としてしばしば絶縁膜7の被覆不良を生じている。絶縁膜7の被覆不良が生じた素子は、後工程における組立のための融着において電流リークやショートを発生する割合が高いという問題を有する。

本発明はメサ構造エッジ部における絶縁不良を防止した電極を形成する方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明の電極形成方法は、半導体基板に形成した半導体素子のメサ構造エッジ部を含む半導体基板の表面に、絶縁膜と、Ti、Mo、Cr、Ta或いはWのいずれか1つを含む第1の金属膜と、第1の金属膜と異なる1以上の上層金属膜とを順次形成した後、これら金属膜上に選択マスクを形成して前記上層金属膜及び第1の金属膜を順次イオンミリング法により選択エッチングする工程とを含んでおり、少なくとも第1の金属膜のイオン

3

ミリングに際しては、アルゴンと酸素との混合ガスを用いてイオン源供給を行っている。

〔作用〕

この形成方法では、アルゴンと酸素との混合ガスでイオンミリングを行うことにより、Ti等の金属のミリングレートを著しく抑制し、その消失及び下層の絶縁膜の被覆不良の発生を防止する。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図は本発明の第1実施例を工程順に示す断面図であり、ここではInPを基板とする面発光ダイオードのオーミック電極形成工程に本発明を適用したものである。

先ず、第1図(a)のように、n型InP基板1上にエピタキシャル成長法によりn型InPバッファ層2、InGaAsP活性層3、P型InPクラッド層4、P型InGaAsPキャップ層5を連続的に成長した後、フォトリソグラフィによりレジストをマスクとしてエッチングを行い、ウェハプロセス終了後のベレクタイズ工程を容易

5

にするために必要な素子分離溝6を形成する。

次に、第1図(b)のように、CVD法等により電流狭窄用の SiO_2 等よりなる絶縁膜7を付着し、その後フォトリソグラフィにより電流注入用の開口部8を設ける。続いてスパッタリング法等によりTi膜9、Pt膜10及びAu膜11の順に金属膜を付着させた後、熱処理し、電流注入用の開口部8においてオーミックコンタクトをとる。

次に、第1図(c)のように、素子分離溝6内の金属膜除去のために、フォトレジスト12をマスクとしてイオンミリングを行う。このイオンミリング工程においては、通常イオン種を供給するためのガスとしてアルゴンを用いるが、ここでは、上側のAu膜11及びPt膜10のミリングにはアルゴンガスのみを用い、Ti膜9のミリングにはアルゴンと酸素との混合ガスを用いている。

即ち、Tiのような酸素との親和力の大きな金属のミリングにおいてアルゴンと酸素との混合ガスを用いるとミリングレートが極端に低下する一

6

方、P_LやAuのような親和力の小さな金属ではミリングレートの変化が小さいという性質がある。例えば、アルゴンガスのみでミリングした時のミリングレートの比は、Tiを1とすると、P_Lが約2、Auが約3.5である。これに対し、チャンバ内圧力を一定にしたままでアルゴンと酸素の分圧を等しくすると、Tiのレートが約0.1に下がるのに対し、P_Lが約1.8、Auが約3.2でいずれもその変化は小さい。

このため、この方法でイオンミリングを行うと、素子分離溝6内のAu膜11及びPt膜10を確実に除去すると同時に、膜厚の減少が生じるメサ構造エッジ部13においてもTi膜9を確実に残して絶縁膜7の被覆不良を防止することが可能となる。

なお、Ti膜9のミリング時のみに酸素ガスを添加することにしたのは、酸素ガス添加によりマスクとして用いるフォトレジスト12のミリングレートが増大し、マスク性が損なわれることを極力避けるためである。

7

最後に、第2図(d)のように、アンモニア、過酸化水素及び水よりなるエッチャントを用いて素子分離溝6内に残留するTi膜9を除去し、Ti/P_L/AuよりなるP側オーミック電極の形成工程が終了する。

なお、前記実施例では面発光ダイオードに本発明を適用した例を示しているが、端面発光ダイオード、半導体レーザ、電界効果トランジスタ等の種々の半導体素子の電極を形成する場合にも同様に適用できる。

また、第1の金属膜は、Tiのみに限定されるものではなく、酸素添加によりミリングレートが著しく抑制される他の金属、例えばCr、Mo、Ta、W等の金属膜で構成してもよい。

(発明の効果)

以上説明したように本発明は、絶縁膜上に形成した第1の金属膜及び上層金属膜を順次イオンミリング法で除去するに際し、少なくとも第1の金属膜のイオンミリング時にアルゴンと酸素との混合ガスを用いているので、第1の金属膜のミリン

最後に、第1図(d)のように、フォトレジスト12を除去した後、アンモニア、過酸化水素及び水よりなるエッチャントを用いて素子分離溝6内に残留するTi膜を除去し、Ti/P_L/AuよりなるP側オーミック電極の形成工程が終了する。

第2図は本発明の第2実施例を工程順に示す断面図であり、ここではAuメッキ電極を有する半導体素子に適用した実施例を示している。

まず、第2図(a)及び(b)の工程は、第1図(a)及び(b)と同じ工程である。

次いで、第2図(c)のように、イオンミリング工程用のマスクに用いるAuメッキ膜14を設けた後、アルゴンと酸素との混合ガスを用いてイオンミリングを行い素子分離溝6内のAu膜11及びPt膜10を除去する。このとき、Ti膜9はPt膜10及びAu膜11に比べミリングレートが1桁以上小さいため、殆どミリングされず、膜厚の小さなメサ構造エッジ部13においても残存し、絶縁膜7の被覆不良を生じることはない。

8

グを抑制してその消失を防ぎ、下層の絶縁膜の被覆不良を防止することができる効果がある。

4. 図面の簡単な説明

第1図(a)乃至(d)は本発明の第1実施例を形成工程順に示す断面図、第2図(a)乃至(d)は本発明の第2実施例を形成工程順に示す断面図、第3図(a)乃至(d)は従来方法及びその問題点を形成工程順に示す断面図である。

1…n型InP基板、2…n型InPバッファ層、3…InGaAsP活性層、4…P型InPクラッド層、5…P型InGaAsPキャップ層、6…素子分離溝、7…絶縁膜、8…開口部、9…Ti膜、10…Pt膜、11…Au膜、12…フォトレジスト、13…メサ構造エッジ部、14…Auメッキ膜。

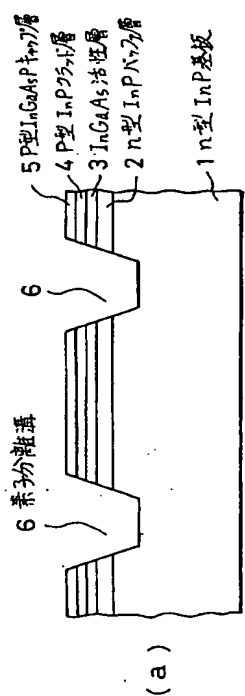
代理人 弁理士 鈴木 章



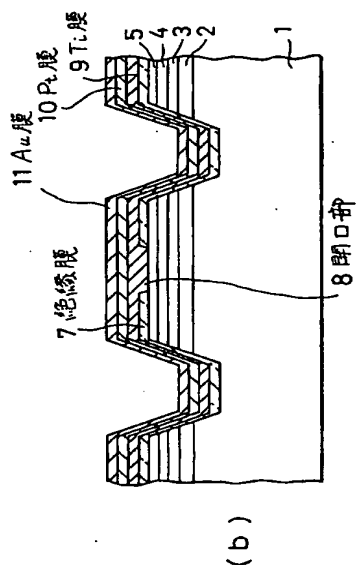
9

10

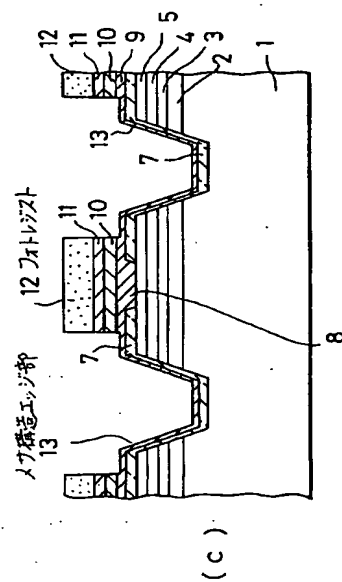
第 1 図



(a)

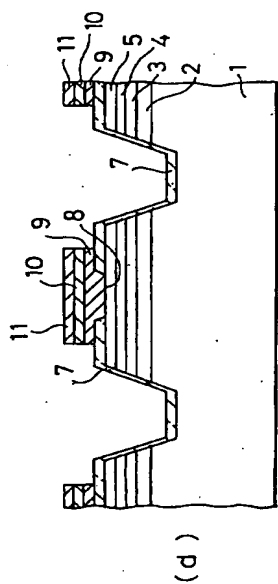


(b)



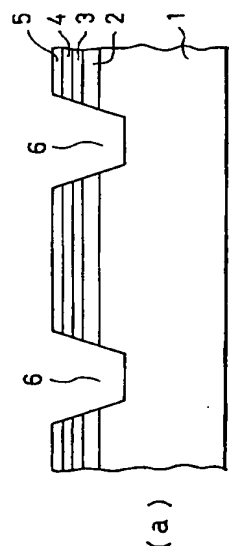
(c)

第 1 図

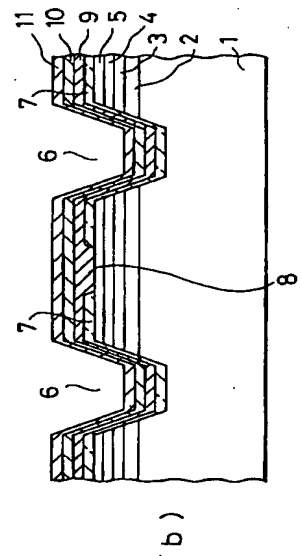


(d)

第 2 図

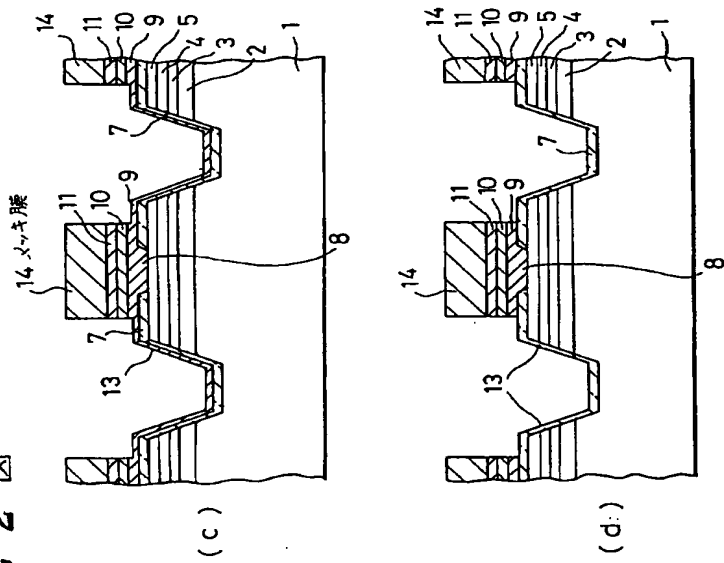


(a)

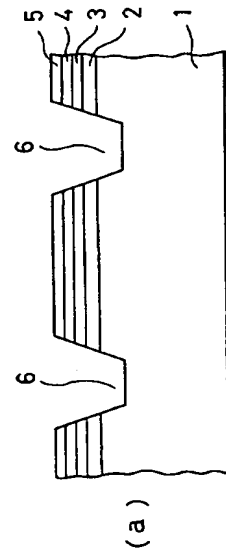


(b)

第 2 図



第 3 図



第 3 図

